

Kapitel 6

Systembus

Bus

Für den Transfer von Daten zwischen mehreren Baugruppen über ein gemeinsames Medium

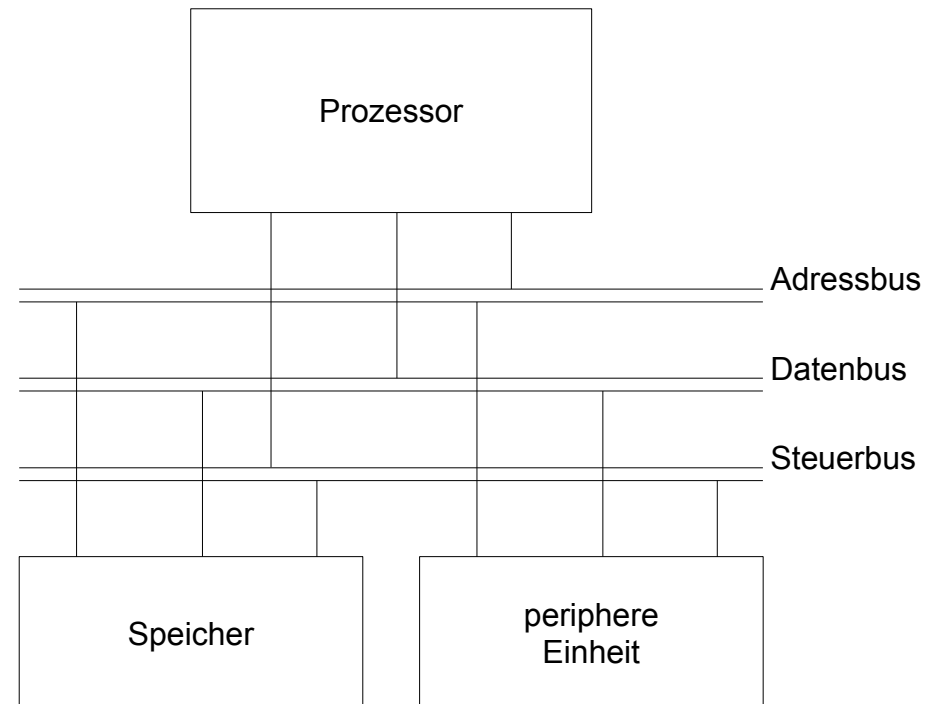
- System von mehreren Leitungen mit angeschlossenen Teilnehmern
- Unterschiedliche Verwendung der Leitungen
 - Leitungen zur Übertragung der Datenbits; **unidirektional** oder **bidirektional**
 - Steuerleitungen zur Steuerung der Busoperationen
- Aus Datentransfersicht kann ein Teilnehmer sein :
 - ein (nur-) Sender
 - z.B. ein Speichercontroller, der immer die Speicheradresse sendet
 - ein (nur-) Empfänger
 - z.B. ein Display, ein Drucker
 - ein Sende–Empfänger (in einer Busoperation ein Sender, in einer anderen ein Empfänger)
 - z.B. eine Festplatte, ein Speicherbaustein
- Bussteuerung muss sicher stellen, dass es in jeder Busoperation **genau einen** Sender gibt

Bus (Forts.)

- Aus Bussteuerungssicht kann ein Teilnehmer sein :
 - ein Busmaster
 - kontrolliert aktiv die Busoperation
 - aktiviert und deaktiviert die meisten Steuerleitungen
 - ein Buslave
 - reagiert auf Steuersignale von einem Busmaster
 - aktiviert und deaktiviert Steuerleitungen seltener, typisch sind Quittungssignale
 - z.B.: Master → SCSI Controller; Slave → SCSI Festplatte
- Aufeinander folgende Busoperationen können unterschiedliche Sender und unterschiedliche Empfänger haben
- Bus Realisierung : chipintern – auf der Hauptplatine - auf einem Kabel
- Bus Beispiele : Memory Bus, PCI Bus, SCSI Bus

Mikrocomputer Systembus

- **Prozessorinterner Bus** für den Zugriff auf integrierte Speicherelemente und diverse Register des Prozessors, und/oder
- **Externer Bus** zum Anschluss von Speicherbausteinen und externen Bausteinen an den Prozessor
- Systembus ist eigentlich ein Bussystem bestehend aus drei Bussen
 - **Adressbus**
 - 8, 16, 24, 32, 64 Bit
 - Unidirektionaler Bus
 - bestimmt den Speicher / den externen Baustein **und** das Element in dieser Komponente, das gelesen oder geschrieben werden soll.
 - z.B.: 8051 Adressbusbits : A15, A14, ..., A1, A0
 - **Datenbus**
 - 8, 16, 32, 64 Bit
 - bidirektionaler Bus
 - überträgt die eigentlichen Daten
 - z.B.: 8051 Datenbusbits : D7, D6, ..., D1, D0
 - **Steuerbus**
 - Individuelle Leitungen,
 - z.B.: \overline{RD} , \overline{WR} , \overline{PSEN} , M/\overline{IO} , ALE
 - Steuerleitungen bestimmen die Art der Operation **und** den Zeitpunkt der Ausführung



Mikrocomputer Systembus (Forts.)

- Steuerwerk des Prozessors ist Busmaster – kontrolliert die Steuerleitungen
- Bus Operation : z.B. Read
 - Steuerwerk setzt die Adresse auf den Adressbus
 - Steuerwerk aktiviert die \overline{RD} Steuerleitung
 - Speicher liest das gewünschte Element aus und setzt es auf den Datenbus
 - Steuerwerk steuert den Datenbusinhalt z.B. in das Rechenwerk

Bausteine für den Busanschluss

Tri-State Treiber

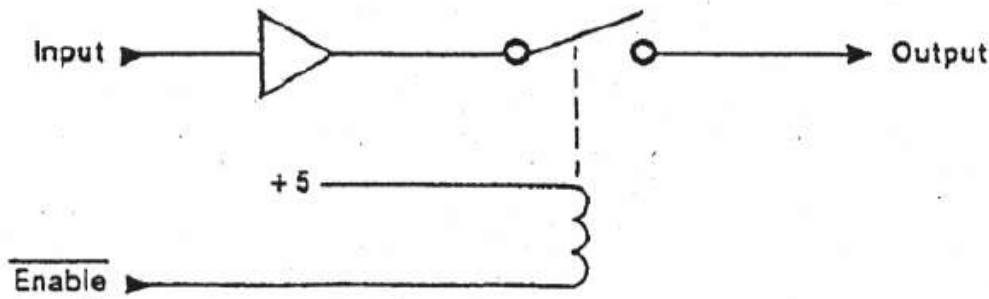


Bild 14: Ersatzschaltbild eines Tri-State-Treibers

Skript Bild 14 , S.21

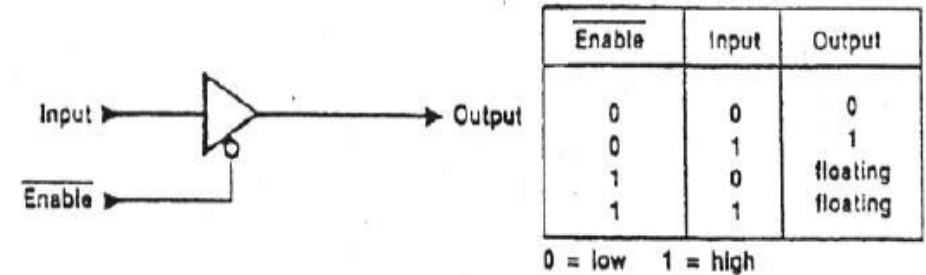


Bild 15: Tri-State-Treiber mit Funktionstabelle

Skript Bild 15 , S.21

- Abhängig von der **ENABLE** Leitung
 - wird der Eingangswert auf den Ausgang übertragen und verstärkt, oder
 - der Ausgang wird **hochohmig** geschaltet.
- Ist der Ausgang eines Tri-State-Treibers mit einer Busleitung verbunden und der Tri-State-Treiber ist hochohmig geschaltet, erscheint der Treiber wie nicht vorhanden.
- Der Tri-State-Treiber ist also das geeignete Element um mehrere Sender an eine Busleitung anzuschließen.
- Zu jedem Zeitpunkt darf allerdings nur **ein** oder **kein** Sender aktiv sein.
- Tri-State-Treiber sind üblicherweise in den anzuschließenden Bausteinen integriert.

Unidirektionaler Bustreiber

- Gruppe von Tri-State-Treibern mit gemeinsamer ENABLE-Leitung
- Anwendung : Adressbus-Treiber
- Steuerwerk aktiviert die Enable-Leitungen der Treiber, um den Wert an den Treibereingängen auf die Busleitungen zu schalten.

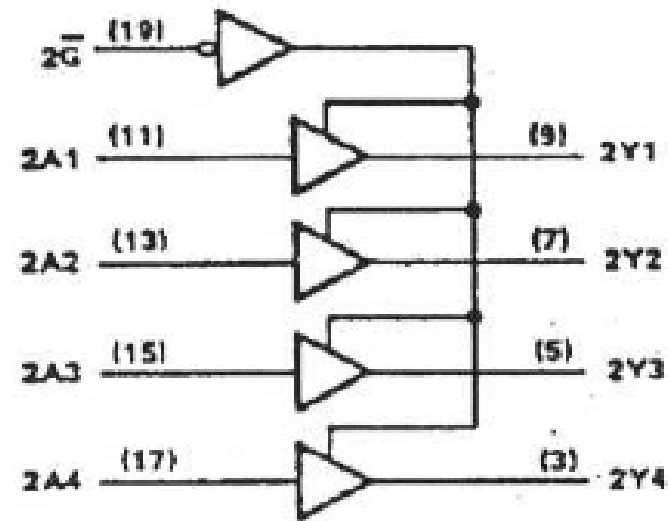


Bild 17: Beispiel 74 LS (HCT) 244

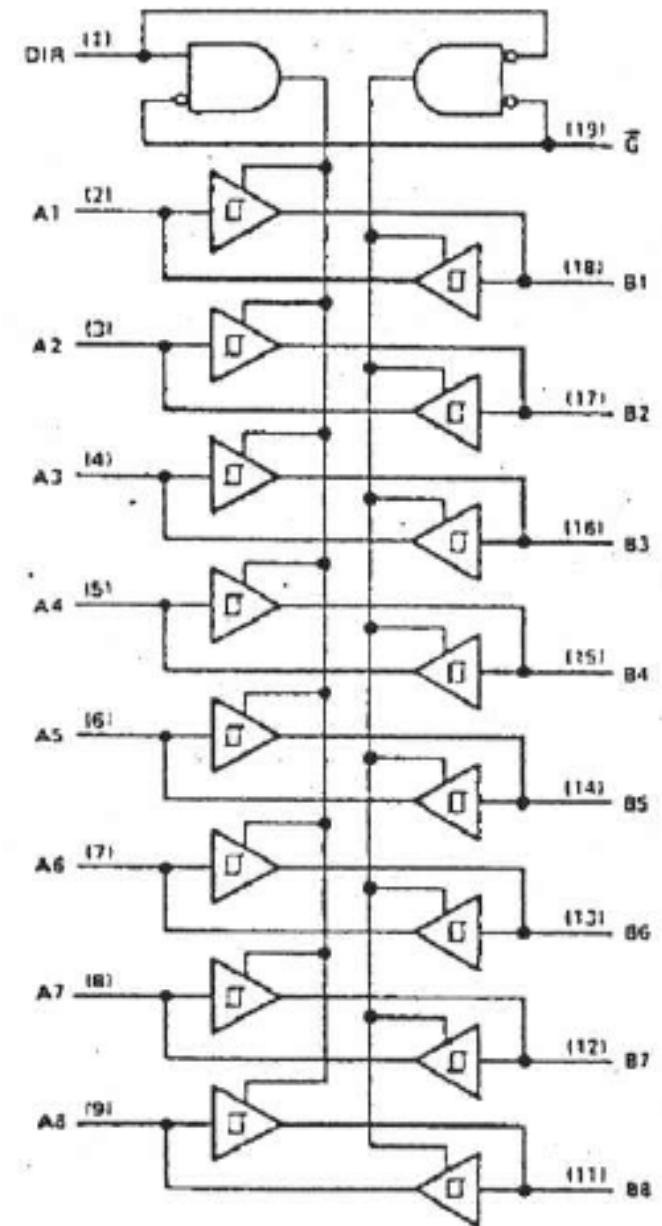
Skript Bild 17 , S.23

Bidirektionaler Bustreiber

- Zwei Gruppen von entgegengesetzt gerichteten Tri-State-Treibern
- Die Ansteuerung der Leitung DIR entscheidet, ob die Treiber für die eine oder die andere Richtung aktiviert werden können
- Die Leitung \bar{G} ist die gemeinsame ENABLE-Leitung
- Die Ansteuerung der Enable Leitungen sorgt dafür, dass nur einer oder keiner der beiden Tri-State-Treiber aktiviert ist.
- Anwendung : Datenbus-Treiber

FUNCTION TABLE

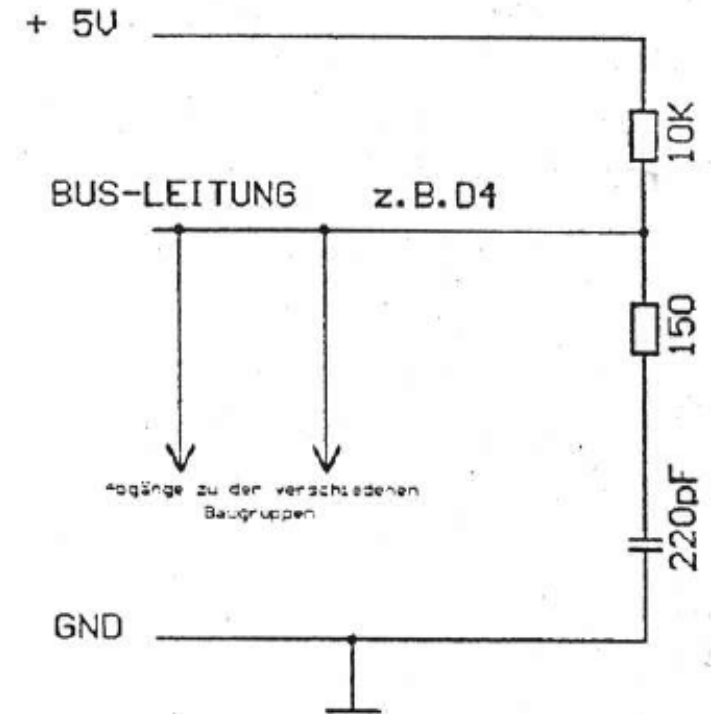
ENABLE \bar{G}	DIRECTION CONTROL		OPERATION
	\bar{G}	DIR	
L	L	L	B data to A bus
L	L	H	A data to B bus
H	X	X	Isolation



Skript Bild 18, S.23 : Beispiel 74 LS (HCT) 245

Busabschluss

- Funktionsweise im statischen Zustand
 - Wenn kein Tri-State-Treiber am Bus aktiv ist, wirkt der Kondensator als unendlich großer Widerstand.
 - Über den 10k Pull-up Widerstand liegen +5V auf der Busleitung an.
 - Ein aktivierter Tri-State-Treiber mit dem Eingang auf '1' erzeugt ebenfalls einen +5V Pegel auf der Busleitung.
 - Ein aktivierter Tri-State-Treiber mit dem Eingang auf '0' kann die Busleitung auf Masse ziehen.
 - Die 5V fallen über den 10K-Widerstand ab.
 - Bei zwei aktivierten Tri-State-Treibern mit unterschiedlichen Eingangspegeln ergibt sich im besten Fall nur ein Fehler, im schlechtesten Fall eine Zerstörung von Bauelementen.
- Bei einem hochfrequenten Signal erscheint der Kondensator als Kurzschluss.
 - Ein Leiterbahnenpaar auf einer Platine hat einen Wellenwiderstand im Bereich von 150 Ohm.
 - Wird eine Leitung mit einem ohmschen Widerstand in der Größe des Wellenwiderstands abgeschlossen, verhindert er Reflexionen am Leitungsende.



Skript Bild 13 , S.20 :
Schaltbild des Busabschlusses